

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—142792

⑪ Int. Cl.<sup>3</sup>

G 11 C 9/06

G 06 F 13/00

識別記号

庁内整理番号

8219—5B

7361—5B

⑬ 公開 昭和59年(1984)8月16日

発明の数 1

審査請求 未請求

(全 7 頁)

⑭ 補助記憶制御装置

株式会社日立製作所大みか工場  
内

⑮ 特 願 昭58—16047

⑯ 発 明 者 井手寿之

⑰ 出 願 昭58(1983)2月4日

日立市大みか町5丁目2番1号

⑱ 発 明 者 鈴木邦夫

株式会社日立製作所大みか工場  
内

日立市大みか町5丁目2番1号

株式会社日立製作所大みか工場

内

⑲ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5

⑳ 発 明 者 大沼邦彦

番1号

日立市大みか町5丁目2番1号

㉑ 代 理 人 弁理士 高橋明夫 外3名

明 細 書

発明の名称 補助記憶制御装置

特許請求の範囲

1. プログラムおよびプログラムが扱うデータを格納する主記憶装置を含むデータ処理装置に、補助記憶装置を接続し、該主記憶装置と補助記憶装置間のデータの入出力制御を行う補助記憶制御装置において、接続すべき補助記憶装置或いは補助記憶装置の一定データブロック単位に対応づけられているアドレス変換用記憶手段を設け、該アドレス変換用記憶手段に、当該記憶手段の有効、無効を示すフラグ情報及び対応する補助記憶装置のデータアドレスと主記憶装置のデータアドレス情報を記憶し、該データ処理装置からの入出力命令に対するデータ転送を、該フラグ情報が有効で、入出力命令が該アドレス変換用記憶手段に記憶された補助記憶装置のデータアドレスに対してなされた場合、該主記憶装置のデータアドレス情報を用いて主記憶装置に対して行うようにしたことを特徴とする補助記憶制御装置。

発明の詳細な説明

[ 発明の利用分野 ]

本発明は、データ処理装置に接続される補助記憶装置の制御装置に関し、特に、データ処理装置に含まれる主記憶装置と該補助記憶装置間のデータの入出力制御を行う補助記憶制御装置に関する。主記憶装置には、プログラム及びプログラムが扱うデータが記憶され、データ処理装置は該主記憶装置に予め記憶されているプログラムを順次実行する。

一般に、プログラムが扱うデータは大容量であり、すべてを主記憶装置に記憶させることができないので、主記憶装置に記憶できないデータは主記憶装置に対して記憶容量の大きい磁気ディスク等の補助記憶装置に記憶される。この補助記憶装置に記憶されたデータは通常データファイルと呼ばれている。

磁気ディスク等の補助記憶装置は、一般に、主記憶装置に比べてアクセスタイムが大きいので、データ処理を高速化するためにはなるべく補助記憶

装置に対するアクセス回数を少なくする工夫が必要である。

本願明細書では、以下、データ処理装置コンピュータ、主記憶装置をメインメモリと称している。  
〔従来技術〕

従来、頻度の高いアクセスを行なうデータファイルについては、コンピュータのメインメモリ上に常駐させて置き、メモリの参照によつてデータを使用できるようにするのが有効な手段として採用されている。

ところが、一般に1つのデータファイルの大きさは100Kバイト～200Kバイトの容量から成り、一方、データ編集のためのプログラムのワークエリアとしてはせいぜい10Kバイト～20Kバイト程度のエリアしか占有できないため、従来は、常駐したデータファイルの参照についても実際は常駐エリアから一旦ワークエリアへ分割しながら転送、参照せねばならない。常駐エリアからワークエリアへのデータ転送はメモリ間のデータ移動で済むため、毎回補助記憶装置からワーク

エリアへデータを持つてくる方法よりは大幅に時間を短縮できるのであるが、コンピュータの処理としてはメモリからメモリへの転送命令を繰り返すことから、プログラムの実行ステップ数が大きく、本方法によつても、まだまだ全体のスループットから見ればコンピュータの負荷としては大きなものとなつていた。

〔発明の目的〕

本発明の目的は、データファイルの編集作業時に発生するメモリ間のデータ転送につきまとうコンピュータの負荷を低減して処理性を向上させる補助記憶制御装置を提供することにある。

〔発明の概要〕

本発明の要点は、まず第一にメモリ間のデータコピー処理をプログラム実行によつて行つてゐるのを他の装置に代行させるという考えに基づいてゐる。

更に具体的に述べれば、メインメモリと補助記憶装置間のデータの入出力制御を行う補助記憶制御装置にこれを代行させ、その起動を補助記憶装

置に対する入出力命令で実行可能とした事である。補助記憶装置内のデータブロックは、アドレス変換用記憶手段、例えばマッピングレジスタによつてメインメモリに対応させ、上記対応したメインメモリとプログラム上のワークエリアとのデータコピー処理を、補助記憶装置とワークエリア間の入出力命令によつて実行させるものである。

〔発明の実施例〕

第1図は本発明が適用されるシステムの構成例を示す。コンピュータ1はCPU2(中央処理装置)およびメインメモリ3、バス4で構成され、バス4に補助記憶制御装置(以下、制御装置と略称する)5が接続され、更に補助記憶装置としてディスク記憶装置(以下ディスクと略称する。)6が接続されている。

ディスク6に対する入出力命令はCPU1から制御装置5に出力され、制御装置5が該命令を解釈して入出力の実行を制御するものであるが、入出力データはディスクとメインメモリ3との間で授受されるものである。ここでは、制御装置5は、

物理的に、コンピュータ1の外部に設けられた構造になつてゐるが、これに特別な意味はなく、制御装置5を含めて、コンピュータと称する場合は、当然ながら制御装置5は、コンピュータ1の内部に設けた構造となる。

第2図は本発明の主要部である制御装置5の一実施例を示す内部ブロック図である。制御装置5の主たる構成は、内部バス12にマイクロプロセッサ(MPU)7、入出力データバッファメモリ(DATA BUF)8、コマンドステータスレジスタ(CSR)9、ディスクインターフェースコントロールユニット(DCU)10、およびMPU7のプログラム及びワークメモリとして使用されるメモリ(M)11である。コンピュータ1からの入出力命令はバス4を介してCSR9へセプトされ、MPU7によつて解釈、実行される。この際の入出力命令のフォーマットの一例を第3図に示している。この入出力命令のフォーマットは、コマンド(CMD)、ディスク内のアドレスを示すセクタアドレスSA、コンピュータ側のメインメ

モリアドレス(DA)、および入出力データバイト数(DC)から構成されている。

第2図においてはディスク6は2つのディスクA、Bから構成されているが、説明の都合上、以下の説明では1つのディスクから構成され、このディスクは、シリンダ数256、ヘッド数8とする。このとき、データトラック数は $256 \times 8 = 2,048$ 本となる。更に1トラックは32セクタに分割され、1セクタの記憶容量は256バイトと仮定する。コンピュータ1からの入出力命令は全セクタに付した一貫値であるセクタアドレスSA(0~65535)で行われる。

本発明が適用されない場合のデータの読み出しは以下の様に実行される。MPU1は、CSR9からCMD、SA、DCを取り出し、DCU10へセットし、DCU10を起動する。DCUは与えられたSAより、シリンダ値(CYL#)、ヘッド値(HD#)を計算し、更に指定のセクタを検出して、ディスク6から1セクタ分のデータを読み出し、DATA BUF8へ格納する。次にDC

(データカウント)を1セクタ分減じ、残り語数がある場合、セクタ値を加算して次のセクタの読出し動作に入る。セクタの更新に伴い、HD#、CYL#の更新が必要な場合は、DCU10が自動的にそれらの更新を行う。DCU10は、与えられたDCが0となるまで上記の動作を続行する。一方MPU1はディスク6から読み出されたデータがDATA BUF8に入ると、コンピュータ1のメインメモリ3へ上記データを転送する。メインメモリ3のアドレスはCSR9にDAとしてセットされているのでこの情報をもとにデータ転送を行い、DC、DAを1バイト転送毎に更新し、DC=0まで転送を行う事により、コンピュータ1からのデータ読み出し命令が完了する。

データの書き込み動作は、前記の読み出しと同じような手順で実行されるが、読み出しと異なる点は、DCU10の起動に先立ちDATA BUF8へコンピュータ1側からの出力データを転送する点である。

さて、次に本発明が適用された場合の動作説明

を行う。この実施例では、アドレス変換用記憶手段としてMPU7のワークメモリであるメモリ11内に定義されているテーブルを使用したマッピングレジスタMRが示されている。このマッピングレジスタMRの内容は、コンピュータ1から自由に書き替え可能である。

マッピングレジスタMRのセットは、前記したディスクの入出力命令と同一フォーマット(第3図に示したもの)でCSR9へセットすることによつて行なわれる。この時のCSR内のコマンドCMDはマッピングレジスタセット命令(SMR)またはマッピングレジスタリセット命令(CMR)を使用する。CMD=SMRはマッピングレジスタをセットすると共に以後マッピングレジスタが有効となる事を指定し、CMD=CMRは以後マッピングレジスタの内容を無効とする事を指定するものである。さて、MPU1は上記SMRまたはCMRコマンドを判別すると、マッピングレジスタMRを書きかえる。マッピングレジスタMRのフォーマットは第4図の通りである。すなわち、

テーブルの先頭が該マッピングレジスタMRの有効フラグであり、FLAG=1で有効、FLAG=0で無効である。本フラグは制御装置5のリセット時またはコンピュータ1からCMRコマンドを受けとつた時に「0」とする。本動作は第6図(A)の如き処理フローで実現している。先ず、コンピュータからの起動により、ステップ(5)にて、CSR9からCMDをReadし、ステップ(10)、(15)にて、CSR9内のコマンド判定を行う。コマンドがディスクの読出し指令RDまたはディスクへの書き込み指令WRならば、第6図(B)の処理へ分岐する(A)。ステップ(20)にてCMDがSMRならば、ステップ(25)へ進み、MRのフラグへ1をセットし、更にステップ(30)でMRのSAL(マッピングされるべきディスクの最も若いセクタアドレス)へCSR内のSAをセットする。次に、ステップ(35)でCSRのDC(データバイト数)から、マッピングされるべきディスクの最終のセクタアドレスSAUを算出してMRへセットする。次にステップ(40)にて該エリアすなわ

ちディスクのセクタアドレスSAL~SAUの範囲内のエリアに相当するメインメモリの先頭アドレスをCSRから読み出し(=DA)、これをCSRのMAへセットする。以上により、マッピングレジスタMRが完全となる。

もし、ステップ(20)で、CMDがSMRでない場合はCMD=CMRとしてMRのFLAGへ「0」をセットし、終了となる。

前記の動作に於て、MRのFLAG=1にセットされた場合、マッピングレジスタMR内のSAL、SAU MAは、第5図に記した如くディスクとメインメモリの各々の斜線部分が対応づけられている事を示している事になる。

さて、マッピングレジスタMRのセットは、通常、コンピュータシステムの立上げ時に行なわれる。すなわち、最も頻度の高く使用すべきデータファイルに対し、コンピュータ1個の手順としては、先ずディスク6からメインメモリ3へのデータ入力命令によりデータをメインメモリ3に読み上げ、次に同エリアに対してマッピングレジスタ

MRのセット命令を実行すればよい。以後、マッピングされたディスクエリアに対するデータの入出力は、実際には対応するメインメモリに対して行なわれる。しかるに、制御装置5はコンピュータからの命令実行時には以下の動作を行うことになる。すなわち、入出力命令にて指定されたディスク内のエリアがマッピングレジスタによつてメインメモリ上に割付けてあるか否かの判定を行い、割付けられていない場合は該命令をディスクに対して実行し、割付けられている場合は該命令をメインメモリ3に対して実行する。すなわち後者の場合、制御装置5はDATA BUF 8を介して、メインメモリ3とメインメモリ3間のデータ転送を実行する。この動作を実行するための制御装置5内のMPU 7の動作フローは第6図(図)~第6図(図)である。

第6図(図)に於て、処理を示す各ステップの右上にステップ番号を付してある。

ステップ(50) (55)でマッピングレジスタが有効か無効かの判定を行う。無効であればステ

ップ(500)へ分岐し、ディスクに対して通常の入出力を実行する。この時のパラメータは、セクタアドレスSA、語数DC、メインメモリアドレスDAである。

ステップ(60)は、入出力命令で指定されたディスクのセクタアドレスがマッピングされたエリアよりも大であるか否かの判定である。もし、大であれば、ステップ(500)へ分岐し、対応するメインメモリに対してデータの入出力を行う。ステップ(65)は、指定セクタアドレスSAがマッピングエリア内であるか否かを判定し、エリア内であれば第6図(図)のステップ(100)へ分岐する。

ステップ(70)、(75)は、指定語数DCの転送を行つた場合、その転送がマッピングされたセクタのエリアまでくいつくか否かの判定である。すなわち、MPUのワークメモリにDC1を定義し、指定セクタアドレスからマッピング先頭セクタアドレスSALまでのデータ語数を計算して格納し、指定語数DCと該DC1とを比較する。指定語数DCがDC1より小なる時、本入出力はマ

ッピングエリアには無関係であるからステップ(500)へ分岐し、通常のディスクの入出力を実行する。

ステップ(75)でDC>DC1の時、マッピングエリアにかからない分のデータ転送すなわちセクタアドレスSAからデータ語数DC1だけをメインメモリアドレスDAに対してデータ転送する。これはステップ(80)にて行なわれる。ステップ(80)の処理手順はステップ(500)と同様であり、実際のディスクの入出力を実行するものである。ステップ(80)を実行後、ステップ(85)にてCSR内のDAとDCを更新し、更にステップ(90)でSAを更新する。しかしてステップ(90)実行後は、CSR内の内容は丁度マッピングされた先頭セクタSALからのデータ入出力命令を受けたと同等の状態に更新されている。

ステップ(100)は、指定されたセクタアドレスSAに対応するメインメモリアドレスを算出し、その値をMPUのワークエリアMA1に格納する。次にステップ(110)で、指定SAからマッピン

グエリアの最終セクタSAUまでのデータ語数を算出してDC1へセットする。ステップ(115)は、指定DCと上記DC1の比較をして、 $DC < DC1$ なる場合、 $DC1 \rightarrow DC$ をセットする。しかるにDC1はマッピングエリア内の転送語数となる。

次に、ステップ(125)で再びCMDの判定を行う。RDはディスクからのデータ入出力命令、WRはディスクへのデータ出力命令であるが、実際のデータ転送は、ディスクがマッピングされているために、RDはメインメモリアドレスMA1からメインメモリアドレスDAへの転送となり、WRはメインメモリアドレスDAからメインメモリアドレスMA1への転送となる。またこの時の転送語数はDC1(バイト)である。したがって、CMDがRDの場合、ステップ(130)、(145)の処理フローに従いMA1なるアドレスのメインメモリからデータを読み出してDATA BUFへ一旦格納し、次にDATA BUFからDAなるアドレスのメインメモリへデータを書き込み、更にMA1、

DA, DC, DC1を各々更新して、 $DC1 = 0$ までこれを繰り返す。

CMD=WRの場合は同様にステップ(150)、(165)の処理によつてデータの転送が行なわれる。

$DC1 = 0$ となつた時、 $DC = 0$ でない場合、残りのデータはマッピングされていないエリアに存在するため、ステップ(200)にて $DC = 0$ の判定を行い、 $DC \neq 0$ ならばステップ(500)へ分岐して、ディスクとのデータ入出力を実行する。

ディスク入出力命令をマッピングされたエリアにまたがる様にしなければ、第6図(A)~(D)のフロー中CASE1またはCASE2のどちらかとなり、更にCASE2に於て、入出力語数はマッピングエリアを越えない。

このように、マッピングされたエリア内のデータ入出力は、メインメモリとメインメモリ間のデータ転送を行うことによつて代行される。

すなわち、ディスクへの起動が不要なため、アクセスタイムが速く、かつ、データ転送はCPU

ではなく制御装置5が実行することになり、その間はCPUは別のプログラムを実行できる。

#### 〔発明の効果〕

本発明によれば、メインメモリ上にコピーしたデータファイルとプログラムワークエリアとのデータ転送処理をCPU以外の補助記憶制御装置に代行させられるため、CPUはその間別のプログラムを実行可能となりデータ処理装置としての処理性が大幅に向上できる。

#### 図面の簡単な説明

第1図は本発明が適用されるシステムの構成例を示す図、第2図は本発明の一実施例である補助記憶制御装置のブロック図、第3図は本発明で使用する入出力命令のフォーマットの一例を示す図、第4図はマッピングレジスタのフォーマットの一例を示す図、第5図はマッピングされたディスクとメインメモリの関連を示す図、第6図(A)~(D)は補助記憶制御装置5のマイクロプログラムのフローチャートである。

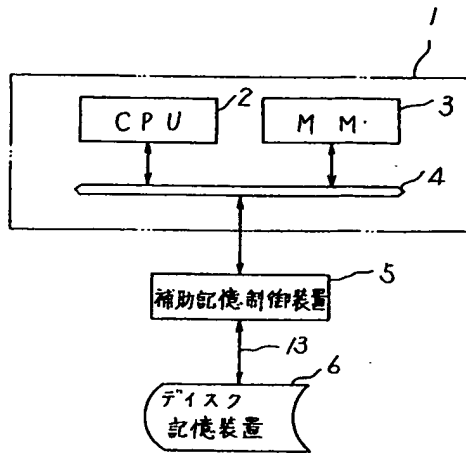
5…補助記憶制御装置、11…メモリ、MR…マ

ッピングレジスタ。

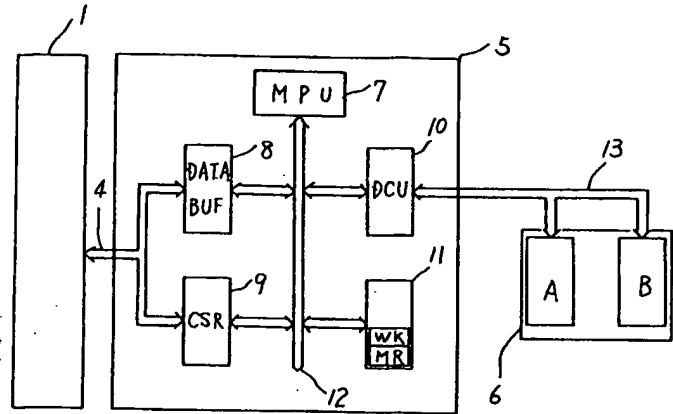
代理人 弁理士 高橋明夫



第 1 図



第 2 図



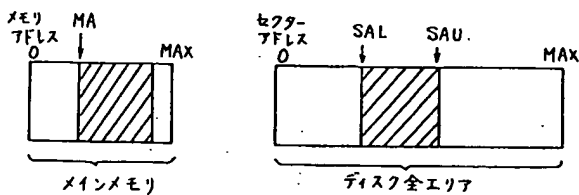
第 3 図

CMD
S A
D C
D A

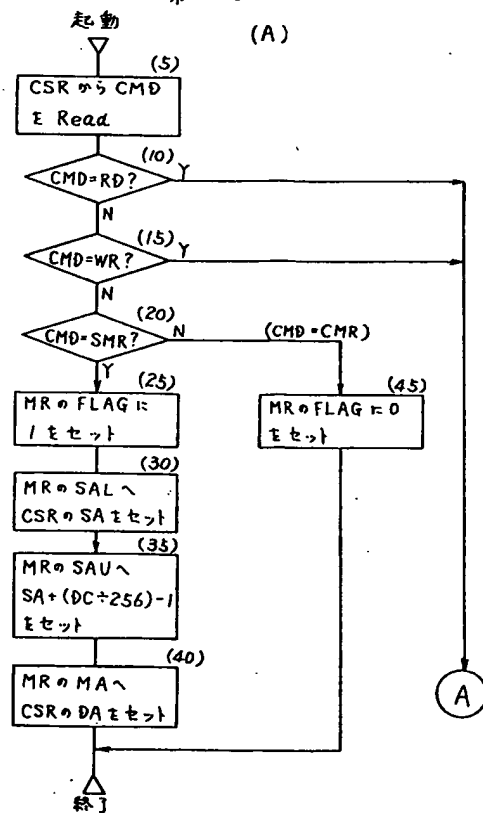
第 4 図

FLAG
S A L
S A U
M A

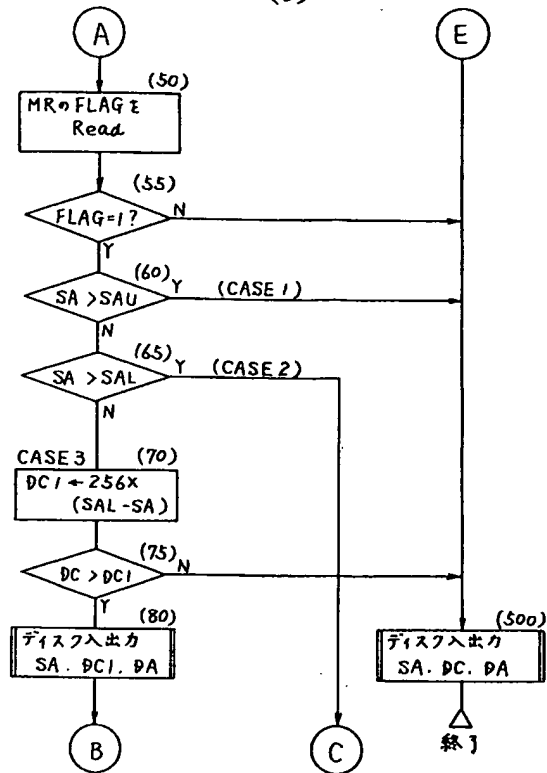
第 5 図



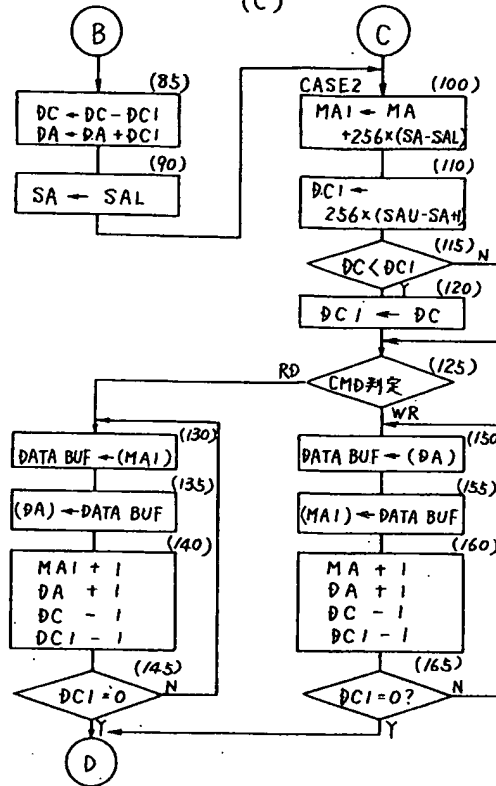
第 6 図



第 6 図  
(B)



第 6 図  
(C)



第 6 図  
(D)

